

CLIPPEDIMAGE= JP405299639A  
PAT-NO: JP405299639A  
DOCUMENT-IDENTIFIER: JP 05299639 A  
TITLE: VERTICAL STRUCTURE OF MOS CONTROL THYRISTOR

PUBN-DATE: November 12, 1993

INVENTOR-INFORMATION:

NAME

TAMAMUSHI, NAOSHIGE

MURAOKA, KIMIHIRO

ASSIGNEE-INFORMATION:

NAME

TAMAMUSHI NAOSHIGE

TOYO ELECTRIC MFG CO LTD

COUNTRY

N/A

N/A

APPL-NO: JP04129678

APPL-DATE: April 22, 1992

INT-CL (IPC): H01L029/74

US-CL-CURRENT: 257/133

ABSTRACT:

PURPOSE: To provide a vertical structure of MOS control thyristor wherein the turn on property is improved and the integration density is improved.

CONSTITUTION: This thyristor is constituted such that a vertical p-channel MOSFET for turn off and a vertical n-channel MOSFET for turn on are integrated, and besides this has a base layer or channel structure between a cathode region 8 and a second base 5 (high-resistance layer), and has a vertical structure of MOS control thyristor which can control the current flowing inside a base or a channel by the base resistance effect, JFET effect, or electrostatic effect by base or gate potential.

COPYRIGHT: (C)1993,JPO&Japio

(11)特許出願公開番号

特開平5-299639

(43)公開日 平成5年(1993)11月12日

(51)Int.Cl.<sup>5</sup>

識別記号

片内整理番号

F I

技術表示箇所

H O 1 L 29/74

D

審査請求 有 請求項の数 2 (全 13 頁)

(21)出願番号 特願平4-129678

(22)出願日 平成4年(1992)4月22日

(71)出願人 392012434

玉蟲 尚茂

東京都新宿区下落合2丁目18番17号

(71)出願人 000003115

東洋電機製造株式会社

東京都中央区八重洲2丁目7番2号

(72) 堯明者 玉蟲 尚茂

東京都新宿区下落合2丁目18番17号

(72)発明者 村岡 公裕

神奈川県大和市上草柳字扇野338番地 1

東洋電機製造株式会社技術研究所内

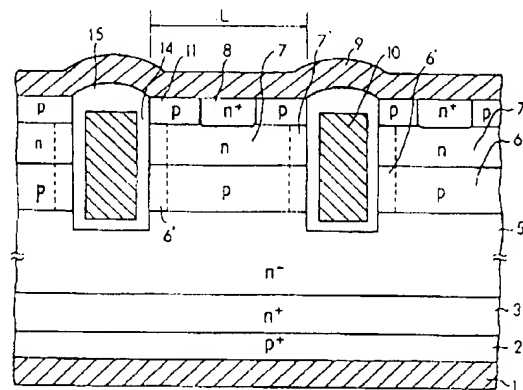
(74)代理人 弁理士 玉蟲 久五郎

(54)【発明の名称】 縦型構造のMOS制御サイリスタ

(57)【要約】 (修正有)

【目的】 本発明の目的は、ターン・オン特性が改善され集積化密度が向上された縦型構造のＭＯＳ制御サイリスタを提供することにある。

【構成】 ターン・オフ用縦型pチャネルMOSFETとターン・オン用の縦型のnチャネルMOSFETが集積化構成され、かつカソード領域Sと第2ベースウ（高抵抗層）間にベース層もしくはチャネル構造を有し、ベースもしくはチャネル内を流れる電流をベースもしくはゲート電位によってベース抵抗効果もしくは、JFET効果もしくは静電誘導効果によって制御しうる縦型構造のMOS制御サイリスタとしての構成を有する。



本発明の第１の実施例としての縦型構造の  
MOS 制御サイリスタの模式的断面構造を

- |                               |                  |
|-------------------------------|------------------|
| 1 ... アノード電圧                  | 8 ... カソード電圧     |
| 2 ... アノード偏置                  | 9 ... カソード電流     |
| 3 ... バッファ層 (n <sup>+</sup> ) | 10 ... MOS ゲート電圧 |
| 5 ... 基底層 (n <sup>+</sup> )   | 11 ... 反偏電圧      |
| 6 ... ゲート (ベース) 領域            | 14, 15 ... 絶縁層   |
| 7 ... nMQS チャネル領域             |                  |
| 7' ... pMQS チャネル領域            |                  |

1

## 【特許請求の範囲】

【請求項1】 半導体基板の第1の主表面にカソード領域、第2の主表面にアノード領域を具え、前記カソード領域が形成された第1の主表面近傍に前記カソード領域に隣接してベース領域、pチャネルMOSFET、nチャネルMOSFETが形成された縦型構造のMOS制御サイリスタにおいて、

前記カソード領域に接触して形成された前記カソード領域と反対導電型の領域と前記ベース領域の間には前記カソード領域と同一導電型の層が介在され、前記反対導電型の領域と前記ベース領域はそれぞれ前記同一導電型の層をチャンネルとする実質的に縦型構造のpチャネルMOSFET主電極を形成し、

前記同一導電型の層と高抵抗層との間には両者を主電極とし前記ベース領域をチャンネルとする実質的に縦型構造のnチャネルのMOSFETが形成され、

前記カソード領域から前記高抵抗層に向かう基板に垂直方向の前記カソード領域近傍には前記カソード領域から注入される電子の導通状態を制御する前記ベース領域が形成されており、

前記ベース領域において、前記ベース領域の電位はベース抵抗効果によって変化され、

前記縦型pチャネルMOSFETと縦型nチャネルMOSFETのゲート電極は共通に形成され前記第1の主表面に対して実質的に垂直に掘り込まれた溝の側壁面上において絶縁層を介して前記反対導電型領域の1部から前記同一導電型領域及び前記ベース領域上を横断して前記高抵抗層領域の上部まで延在して形成され、カソード電極は前記カソード領域と前記反対導電型領域を短絡して形成されることを特徴とする、

縦型構造のMOS制御サイリスタ。

【請求項2】 半導体基板の第1の主表面にカソード領域、第2の主表面にアノード領域を具え、前記カソード領域が形成された第1の主表面近傍に前記カソード領域に隣接してゲート領域、pチャネルMOSFET、nチャネルMOSFETが形成された縦型構造のMOS制御サイリスタにおいて、

前記カソード領域に接触して形成された前記カソード領域と反対導電型の領域と前記ゲート領域の間には前記カソード領域と同一導電型の層が介在され、前記反対導電型の領域と前記ゲート領域はそれぞれ前記同一導電型の層をチャンネルとする実質的に縦型構造のpチャネルMOSFET主電極を形成し、

前記同一導電型の層と高抵抗層との間には両者を主電極とし前記ゲート領域をチャンネルとする実質的に縦型構造のnチャネルのMOSFETが形成され、

前記カソード領域から前記高抵抗層に向かう基板に垂直方向の前記カソード領域近傍には前記カソード領域から注入される電子の導通状態を制御するチャンネル領域が形成され、

2

前記チャンネル領域は前記ゲート領域によって挟まれ実質的に空乏化され、前記ゲート領域の電位によって前記チャンネル内の電位がJ-FET効果もしくは静電誘導効果によって変化され、

前記縦型pチャネルMOSFETと縦型nチャネルMOSFETのゲート電極は共通に形成され前記第1の主表面に対して実質的に垂直に掘り込まれた溝の側壁面上において絶縁層を介して前記反対導電型領域の1部から前記同一導電型領域及び前記ゲート領域上を横断して前記高抵抗層領域の上部まで延在して形成され、カソード電極は前記カソード領域と前記反対導電型領域を短絡して形成されることを特徴とする、

縦型構造のMOS制御サイリスタ。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、電力用半導体素子に関し、特に縦型構造のMOS制御サイリスタにおいて、縦型pチャネルMOSFET及び縦型nチャネルMOSFETを共通ゲートにて形成しかつ主サイリスタがベース抵抗効果もしくはJ-FET効果或いは静電誘導効果にて動作しうるチャンネル構造を有する縦型構造のMOS制御サイリスタに関する。

## 【0002】

【従来の技術】MOS制御サイリスタの基本的構造は図8に図示されている。図8の構造はG. E. 社のTempleにより提案された構造である。図8において、1はアノード電極、2はアノード領域、3はnバツファ層、5は高抵抗層、6はpベース層、7は同一導電型層、8はカソード領域、9はカソード電極、10はMOSゲート電極、11は反対導電型層である。11の反対導電型層と6のpベース層はpチャネルMOSFETの主電極領域としても動作し、同一導電型層7の表面近傍にはpMOSのチャンネルが形成される。同様に同一導電型層7と高抵抗層5はnチャネルMOSFETの主電極領域としても動作し、pベース層6の表面近傍にはnMOSのチャンネルが形成される。MOSゲート電極はnMOSFET、pMOSFET共通であり、正負方向のバルス電圧を印加することによって $n^+$  (11) p (6)  $n^+$  (5)  $n^+$  (3) p (2) からなる主サイリスタはオンオフ制御される構造となっている。図8の構造ではpベース層6中に蓄積されたキャリアとしての正孔はGTOのように外部ゲートに引き出されるのではなくカソード電極9に短絡されている反対導電型層11に対してpチャネルMOSFETを介して短絡される。云わばカソード短絡構造がpチャネルMOSFETによってpベース層6とカソード領域8との間に実現されている。一方、nチャネルMOSFETの役割はカソード領域8と同一導電型層7から電子を第2ベース層として働く $n^+$  高抵抗層5にnMOSFETのチャンネルを介して注入することによって、主サイリスタをターン・オンさせることにある。

【0003】従来の別のMOS制御サイリスタとしては、例えば、Asca Brown Boveri 社の研究グループにより発表されている、即ち、例えば、エフ・パウアー氏らによる“Current-Handling and Switching Performance of MOS-Controlled Thyristor(MCT) Structures”と題する論文、IEEE EDL Vol.12, No.6, June 1991に開示されている。構造的特徴は各チャネル毎にはn MOS FETが設けられていない点と、nパツファ層 $\phi$ が設けられていない点である。云わば広いpベース層 $\phi$ の中にカソード短絡のためのp MOS FETをカソードSの周辺に配置した構造が作り込まれている点である。構造的に図8に比べてマルチチャネル化が容易であるが、ターン・オンのためのn MOS FETを別途作り込む必要がある。例えばシー・コンシスベル氏らによる“HIGH POWER MOS-CONTROLLED-THYRISTOR USING THE PARALLEL CONTACTING TECHNOLOGY FOR DEVICES ON THE SAME WAFER”と題する論文、EPE FIRENZE, 1991, PP.267-269に開示されている構造にはn MOS FETの集積化構成が示されている。この構造的特徴はpベース層 $\phi$ の周辺部分においてn $\phi$ 領域を設け、pベース層 $\phi$ の端部における表面領域においてnチャネルMOS FETを形成している点である。

【0004】図8に示した先行技術としてのMOS制御サイリスタにおいては主サイリスタは従来の四層構造のサイリスタもしくはSCRとしての構造を有している。一方、この主サイリスタ部分を静電誘導サイリスタとして構成し、制御素を絶縁制御とする場合の動作駆動方法は西沢、玉蟲、後沢により特開平1-278119号公報（出願日昭和63年4月30日）に開示され、周辺部を集積化した場合には絶縁制御（MOS-Controlled）静電誘導サイリスタと称する旨記載されている。絶縁制御SIサイリスタはゲートの電流増幅率が高いため、小さなゲート信号で動作可能である。ゲートキャパシタのみ集積化されたMOS制御SIサイリスタは600V-3A級まで試作され、ゲートキャパシタ $C_g$ のみで動作できることが、西沢による論文、“SI Thyristors Hold Promise for Improved DC Power Transmission,” PCI & Motor' Con88, Munich, West Germany 1988, June6-8, 或いは西沢、玉蟲による論文“Recent Development and Future Potential of the Power Static Induction (SI) Devices,” Proceedings of the Third International Conference on Power Electronics and Variable-Speed Drives, Vol.291, PP.21-24, July 1988において開示されている。

【0005】更に、ゲートキャパシタ $C_g$ 及び、或いはターンオフ用pチャネルMOSトランジスタのみを集積化するMOS制御SIサイリスタの構成の一例は西沢、鈴木により特開平3-292770号公報或いは特開平3-292769号公報に開示されている。

【0006】しかしながら、静電誘導サイリスタが大電

流容量となった場合には、ゲートキャパシタを介する過渡的な微分波形のゲート信号では充分駆動することが難しい。大容量のSIサイリスタ全体を均一にターン・オン駆動させるためにはゲートキャパシタ $C_g$ をウエハ全体にわたりゲート上にゲート酸化膜を形成して作成する必要がある。MOSゲートキャパシタの大きさは、実質的にゲート酸化膜の膜厚によって決定されるが、あまり薄く形成することが難しい。ゲートキャパシタ容量が大きい方が、ゲート駆動信号はゲートカソード間に加わり有利となるが、ゲートカソード間容量 $C_{gs}$ に比べてゲートキャパシタ $C_g$ を大きく形成することが難しい。小容量の場合においては、600V-3A級まではゲートキャパシタのみで動作することは既に確認されたことは上述の通りである。

【0007】従って、大容量のサイリスタを安定にターン・オンさせかつ安定にターン・オフするためのMOS制御サイリスタの構成が望ましい。しかもプレーナ形成によって製造容易であることが望ましい。更に、従来のMOS制御サイリスタに比べて、ターン・オン時の $di/dt$ に優れ、ターン・オン時間 $t_{on}$ が短縮される構造が望ましい。

【0008】そこで、このようなターン・オン特性の改善されたプレーナ構造のMOS制御サイリスタについては、村岡、玉蟲により特願平4- 号に記載されている通りである。

【0009】しかるに、MOS制御サイリスタに比べ電流容量は劣るが同様に絶縁ゲート制御によって動作する電力用半導体素子であるIGBT(Insulated Gate Bipolar Transistor)は集積化密度の点で、MOS制御サイリスタに比べ優れている。図9はIGBTの模式的断面構造図である。1'はpエミッタ電極、8'はpコレクタ層、9'はIGBTのコレクタ電極、11'はIGBTのnエミッタ層、17はIGBTのpベース層である。他の3、5、10、14、15の各領域は図10と同様である。図8及び図9において、Lは単位セルの実質的な寸法幅を示している。MCT(図8)のLはIGBT(図9)のLに比べてpベース層 $\phi$ の拡散領域の幅分だけ大きな寸法として形成されることがわかる。このLの値は単位セルを実現するために必要な幅と考えることができる。微細化の寸法ルールを一定とした場合には図8のLの値は図9のL値に比べて、約7/5=1.4倍も大きい。ターン・オン特性を改善するためのチャネル構造を有するプレーナ構造のMOS制御サイリスタ（特願平 号）

号）においても事情は同じである。従って、従来のMOS制御サイリスタの単位セルを実現するために必要な幅Lを低減化し、集積化密度を向上させることが、更にターンオン特性を改善し、かつオン電圧を下げるためには望ましい。

【0010】

【発明が解決しようとする課題】本発明の目的は単位セ

ルを実現するために必要な幅が減少化され、集積化密度が向上する縦型構造のMOS制御サイリスタを提供することにある。

【0011】更に本発明の目的の1つは、ターン・オン性能が改善され、かつオン電圧が低減化される縦型構造のMOS制御サイリスタを提供することにある。

【0012】更に具体的に本発明の目的の1つは、縦型構造のMOS制御サイリスタにおいて、ターン・オフ用縦型pチャネルMOSFETとターン・オン用の縦型nチャネルMOSFETが集積化構成され、かつカソード領域と第2ベース（高抵抗層）間にチャネル構造を有し、チャネル内を流れる電流をベースもしくはゲート電位によってベース抵抗効果、JFET効果もしくは静電誘導効果によって制御する縦型構造のMOS制御サイリスタを提供することにある。

【0013】

【課題を解決するための手段】本発明においては「縦型構造のMOS制御サイリスタ」とは主サイリスタのMOS制御を行なうnチャネルMOSFET及びpチャネルMOSFETの両方が実質的に縦型構造に形成されているMOS制御サイリスタをいう。

【0014】上記目的を達成するために、本発明においては、pMOSFET及びnMOSFETとともに縦型構造に形成し、しかも共通のMOSゲート電極とし、かつ第1の主表面に実質的に垂直に掘り込まれた溝の側壁部に両MOSFETのゲート酸化膜を形成している。MOSゲート電極は、n<sup>+</sup>カソードと短絡する反対導電層の一部から同一導電層、pベース（ゲート）領域及びn<sup>+</sup>高抵抗層の一部にかけて横断するように、側壁部のMOSゲート酸化膜上を実質的に垂直方向に延在されて形成されている。

【0015】更にカソードと第2ベース（高抵抗層）間にpベース（ゲート）によって制御されるチャネル構造を設けてもよい。

【0016】このような構成を採用することによって、プレーナ構造のMOS制御サイリスタに比べて、単位チャネルを実現するのに必要な寸法幅は3/7≒43%に低減化でき、従って集積化密度が向上することからオン電圧が改善される。

【0017】更にチャネル構造を採用することによって、ターン・オン時の $di/dt$ を高く設定でき、ターン・オン時間 $t_{on}$ も高速化できる。

【0018】従って、本発明の構成は以下に示すとおりである。

【0019】即ち、本発明は半導体基板の第1の主表面にカソード領域、第2の主表面にアノード領域を具え、前記カソード領域が形成された第1の主表面近傍に前記カソード領域に隣接してベース領域、pチャネルMOSFET、nチャネルMOSFETが形成された縦型構造のMOS制御サイリスタにおいて、

【0020】前記カソード領域に接触して形成された前記カソード領域と反対導電型の領域と前記ベース領域の間には前記カソード領域と同一導電型の層が介在され、前記反対導電型の領域と前記ベース領域はそれぞれ前記同一導電型の層をチャネルとする実質的に縦型構造のpチャネルMOSFET主電極を形成し、

【0021】前記同一導電型の層と高抵抗層との間には両者を主電極とし前記ベース領域をチャネルとする実質的に縦型構造のnチャネルのMOSFETが形成され、

【0022】前記カソード領域から前記高抵抗層に向かう基板に垂直方向の前記カソード領域近傍には前記カソード領域から注入される電子の導通状態を制御する前記ベース領域が形成されており、

【0023】前記ベース領域において、前記ベース領域の電位はベース抵抗効果によって変化され、

【0024】前記縦型pチャネルMOSFETと縦型nチャネルMOSFETのゲート電極は共通に形成され前記第1の主表面に対して実質的に垂直に掘り込まれた溝の側壁面上において絶縁層を介して前記反対導電型領域の1部から前記同一導電型領域及び前記ベース領域上を横断して前記高抵抗層領域の上部まで延在して形成され、カソード電極は前記カソード領域と前記反対導電型領域を短絡して形成されることを特徴とする、

【0025】縦型構造のMOS制御サイリスタとしての構成を有する。

【0026】或いはまた、本発明は、半導体基板の第1の主表面にカソード領域、第2の主表面にアノード領域を具え、前記カソード領域が形成された第1の主表面近傍に前記カソード領域に隣接してゲート領域、pチャネルMOSFET、nチャネルMOSFETが形成された縦型構造のMOS制御サイリスタにおいて、

【0027】前記カソード領域に接触して形成された前記カソード領域と反対導電型の領域と前記ゲート領域の間には前記カソード領域と同一導電型の層が介在され、前記反対導電型の領域と前記ゲート領域はそれぞれ前記同一導電型の層をチャネルとする実質的に縦型構造のpチャネルMOSFET主電極を形成し、

【0028】前記同一導電型の層と高抵抗層との間には両者を主電極とし前記ゲート領域をチャネルとする実質的に縦型構造のnチャネルのMOSFETが形成され、

【0029】前記カソード領域から前記高抵抗層に向かう基板に垂直方向の前記カソード領域近傍には前記カソード領域から注入される電子の導通状態を制御するチャネル領域が形成され、

【0030】前記チャネル領域は前記ゲート領域によって挟まれ実質的に空乏化され、前記ゲート領域の電位によって前記チャネル内の電位がJFET効果もしくは静電誘導効果によって変化され、

【0031】前記縦型pチャネルMOSFETと縦型nチャネルMOSFETのゲート電極は共通に形成され前

記第1の主表面に対して実質的に垂直に掘り込まれた溝の側壁面上において絶縁層を介して前記反対導電型領域の1部から前記同一導電型領域及び前記ゲート領域上を横断して前記高抵抗層領域の上部まで延在して形成され、カソード電極は前記カソード領域と前記反対導電型領域を短絡して形成されることを特徴とする。

【0032】縦型構造のMOS制御サイリスタとしての構成を有する。

【0033】

【作用】本発明による縦型構造のMOS制御サイリスタは、主サイリスタ部分は、四層構造のサイリスタもしくは静電誘導サイリスタもしくは、ベース層が薄く形成された領域は静電誘導効果によって動作され、比較的厚く形成された領域はGTOもしくはSCR等と同様の動作をする。表面近傍に縦型に形成されたnチャネルMOSFETはn<sup>+</sup>カソード領域から同一導電型層を介する電子の注入量を制御する。第2ベース（高抵抗層）への電子注入が生ずると、アノード領域から高抵抗層への正孔注入が促進され、pベース領域が正に帯電され、カソード領域からpベース領域もしくはチャネル領域12へ向けて電子の注入が開始される。pベース領域もしくはチャネル領域12を介して第2ベース（高抵抗層）5への電子の注入が始まれば、nチャネルMOSFETはもはやオン状態が保持されていなくてもよい。何故ならば、カソードからpベース領域もしくはチャネル12を介して注入される電子数が圧倒的に多くなるからである。但し、nチャネルMOSFETがオン状態のままであっても何ら差支えはない。この場合、通常MOSゲート界面にn反転層が単位セル当たり、2チャネル縦型に構成される。主サイリスタがラツチアツプ状態にある時、カソードからの電子電流はpベース層6もしくはチャネル領域(12)及びpベース層6を介してアノード領域2からアノード電極1へ流れ、一方、アノード領域12からの正孔電流はpベース層6もしくはpベース層6及びチャネル領域(12)を介してカソード領域8からカソード電極9へと流れる。

【0034】ターン・オフ時には、縦型に構成されたpチャネルMOSFETがオン状態とされ、一方、縦型nチャネルMOSFETはオフ状態とされる。pベース層6内に蓄積されていた正孔は縦型pチャネルMOSFETのチャネル領域7'を介して反対導電型層(11)へ流入し、カソード電極9に短絡される。これによって、カソード(8)・pベース(6)もしくはチャネル(12)間のn<sup>+</sup>np接合もしくはn<sup>+</sup>np<sup>+</sup>接合の拡散電位が上昇し、カソード領域8からの電子注入が停止される。即ち、pベース層6の電位が高くなることによって、pベース層6もしくはチャネル領域12内の電位が上昇してカソード領域8からの電子注入が阻止される。これによって、主サイリスタは阻止状態となる。主サイリスタを阻止状態に保持するためには縦型pチャネルMOSFETをオン

状態に保持するとともに、pベース層6もしくはチャネル領域12はノーマリ・オフのチャネルとして形成されていなければならない。かつ、また、縦型nチャネルMOSFETをオフ状態に保持する必要がある。主サイリスタを導通状態に保持するためには、縦型pチャネルMOSFETをオフ状態に保持するとともに、pベース層6もしくはチャネル領域12を導通ベースもしくはチャネルとする必要がある。この場合、縦型nチャネルMOSFETはターン・オンのトリガ時に導通さえすればよいと考えてもよいが、ウエハ全体に広く電子電流を流す方が、オン抵抗が下がることから、オン状態が保持される方が望ましい。

【0035】上記においてpベース層内を流れる電流はベース抵抗制御によって制御されるが、チャネル領域内を流れる電流は主としてJFET効果もしくは静電誘導効果によって制御されることは明らかである。

【0036】

【実施例】(実施例1)図1は本発明の第1の実施例としての縦型構造のMOS制御サイリスタの模式的断面構造図である。図1において、1はアノード電極、2はアノード領域、3はパツファ層、5は高抵抗層、6はベース領域、7は同一導電型層、8はカソード領域、9はカソード電極、10はMOSゲート電極、11は反対導電型層、6'はnMOSチャネル領域、7'はpMOSチャネル領域、14、15は絶縁層である。特に14はnチャネル及びpチャネル縦型MOSFET用のゲート絶縁膜となる。p<sup>+</sup>反対導電型層11はn<sup>+</sup>カソード領域8とカソード電極9によって電気的に短絡されている。n反対導電型層7のMOSFET界面近傍にpチャネル7'が形成され、pベース領域6のMOS界面近傍にnチャネル6'が形成される。p<sup>+</sup>反対導電型層11とpベース領域6は縦型pMOSFETの主電極領域を形成し、n同一導電型層7とn<sup>+</sup>高抵抗層5は縦型nMOSFETの主電極領域を形成している。ベース領域6を流れる電子はpベース層6の電位によってベース抵抗効果によって制御される。

【0037】図1に示した構成は、Uトレンチ技術と通常のCMOS、DMOS、nMOS等の技術を用いて形成することができる。縦型MOSFETのチャネル長は例えば2μm程度以下に形成する。n<sup>+</sup>カソード領域の深さは例えば2μm程度以下とし、p反対導電型層11の厚さも2μm以下、n同一導電型層7の深さは3μm以下とする。pベース領域の深さは例えば2μm以下とする。縦型pチャネルMOSFET、縦型nチャネルMOSFETのMOS界面近傍においては所定のしきい値電圧を達成するためにn同一導電型層7のチャネル領域7'及びpベース領域6のチャネル領域6'チャネルドープを行なう。絶縁膜14の厚さは例えば1000Å以下が望ましい。

【0038】本発明の実施例1の寸法は上記一例に限ら

れるものではなく、カソード領域8、pベース層6等の厚さも薄い方が望ましいことは微細化、短チャネル化を実現する上で明らかである。pベース層6の厚さ及び不純物密度は主サイリスタの性能を決める重要なパラメータであり、特にターン・オンの性能を決定する重要なパラメータである。pベース層6内の不純物密度分布は均一に形成されても、或いはドリフトベースの如く形成されていてもよい。図1の実施例の構造は、図9の従来型MOS制御サイリスタに比べ単位セルを約43%の領域に形成でき、集積化密度が向上している。従って、オン電圧が低減化される構造である。

【0039】(実施例2)図2は本発明の第2の実施例としての縦型構造のMOS制御サイリスタの模式的断面構造図である。図2の構造上、同一の構成要素については、第1の実施例と同一の参照番号を付して説明は省略する。実施例2の構造的特徴は、以下の通りである。即ち、pベース層6にチャネル領域12を設け、その幅及び不純物密度は両側のp<sup>+</sup>ゲート領域6との拡散電位によって該チャネル領域12が実質的に空乏化されノーマリオフのチャネル領域が形成されるように選定する。チャネル領域12は低不純物密度の領域であればよく、p<sup>+</sup>層、n<sup>+</sup>層もしくはi層として形成されている。チャネル領域12はJ-FET効果によって制御されていてもよい。或いはまた静電誘導効果によって制御されていてもよい。図2の構造上、pベース層6は横方向にp<sup>+</sup>p<sup>+</sup>p<sup>+</sup>構造もしくはp<sup>+</sup>n<sup>+</sup>p<sup>+</sup>或いはp<sup>+</sup>i p<sup>+</sup>構造となっている。pベース層6のMOS界面近傍の領域はnチャネル領域6<sup>+</sup>が反転層として形成されるように中程度の不純物密度pとなるようにチャネルドーピングを行なってもよい。同様に同一導電型層7のMOS界面近傍にはpチャネル領域7<sup>+</sup>が形成される。

【0040】主サイリスタがオン状態にある時、電子電流は主としてチャネル領域12を流れ、縦型nMOSFETがオン状態であればnMOSFETのチャネル部分からも流れている。一方、正孔電流はpベース層6もしくはチャネル領域12を介してn<sup>+</sup>カソード領域8に流れるのみである。これはpチャネルMOSFETがオフ状態にあるからである。従って、図2の構造上電子はウエハ全体にあたって広く流れうるが正孔電流はチャネルの中央部分を主として流れる構造である。図2においてはn<sup>+</sup>カソード領域8の幅を広げ、pベース層6もしくはチャネル領域12との接合面積を広く設定してもよい。これによって、n<sup>+</sup>pベース接合面積を実質的に広く設定し、正孔電流も広い領域に流すことができる。

【0041】更に図2の構造上、パツファ層として静電誘導パツファ層(n<sup>+</sup>n<sup>+</sup>n<sup>+</sup>...)を設けている。静電誘導パツファ層については村岡、玉蟲による特願平4-号に開示されている通りである。領域4はパツファ短絡層であり、約2L<sub>n</sub>(L<sub>n</sub>は電子拡散長)以下のピッチにてアノード領域2と短絡している。

【0042】尚、アノード側の構造については上記のパツファ層を介する構造に限定されるわけではなく、pN構造、アノードショート構造、SIAアノードショート構造、ダブルゲート構造、MOS制御構造、ショットキー短絡構造等であってもよく、或いはライフタイム制御と組み合わせてもよいことはもちろんである。

【0043】第2の実施例の構造も単位セルの寸法幅は第1の実施例と同程度に形成でき集積化密度が向上するとともに、オン電圧が改善される。更に第2の実施例の構造ではチャネル構造を有することから、ターン・オン特性が更に改善され、ターン・オン時の電流の立ち上がりdi/dtを高く設定でき、また、ターン・オン時間t<sub>on</sub>が改善される。

【0044】図3は本発明による第2の実施例の2次元配置構成を明らかにするための斜視図である。MOSゲート電極10は互いに平行に埋め込まれて配線され、所定の位置で互いに電氣的に金属等とのコンタクトによって共通になされている(図示せず)。一方、カソード電極9はMOSゲート電極10とは交叉して表面部分に配線され、n<sup>+</sup>カソード領域8、p反対導電型層11とともに短絡されている。

【0045】(実施例3)図4は本発明の第3の実施例としての縦型構造のMOS制御サイリスタの模式的断面構造図である。実施例2(図2)の構造に比べてLの値は約5/3≒1.7倍であるが、従来型MOS制御サイリスタに比べれば5/7≒70%に改善されている。構造的特徴は、チャネル領域12を2チャネル設定して実質的に単位チャネル当りの電流値を増加する工夫を行なうとともに、n<sup>+</sup>カソード領域8の幅を広げてpベース層(p<sup>+</sup>p<sup>+</sup>p<sup>+</sup>p<sup>+</sup>...)とn反対導電型層7を介して接する面積を実質的に広げている点にある。このような構造を実現するために、具体的にはpベース層6をp<sup>+</sup>ゲート6の埋め込み層によって代替して形成している。即ち、ゲート領域6はp<sup>+</sup>埋め込み層、p埋め込み層によって形成し、これらの埋め込み層の周辺には比較的低不純物密度のゲート領域16を形成して電界緩和層を施している。これらの埋め込み層はメツシユもしくはラダー状もしくはストライプ状等に形成され電氣的には共通になされている。埋込みゲートSIサイリスタのプロセスとUMOS、DMOS、CMOS、等のプロセス技術を組み合わせることによって図4の構造は実現できる。チャネル領域12はpベース層もしくはpゲート領域6によって実質的に空乏化されていることも実施例2と同様である。

【0046】(実施例4)図5は本発明の第4の実施例としての縦型構造のMOS制御サイリスタの模式的断面構造図である。図5の構造的特徴は中央の埋込みゲート領域を中程度の不純物密度として形成し、両側の埋込みゲート領域6を高不純物密度に形成している点と、電界緩和のためのp<sup>+</sup>層16をpチャネルMOSFET側にのみ設けている点にある。p<sup>+</sup>埋込みゲート領域6のMOS

界面近傍にはnチャネル領域6'が形成され、n同一導電型層7のMOS界面近傍にはpチャネル領域7'が形成される。中央の埋込み層を中程度の不純物密度とすることによって、オン状態における正孔電流の導通領域を広げる工夫を行なっている。

【0047】(実施例5)図6は本発明の第5の実施例としての縦型構造のMOS制御サイリスタの模式的断面構成図である。図6の構造は図4に示した埋込みゲート構造(2チャネル)を更に拡張してマルチチャネル構造とした構造に対応している。図6の構造が仮にm個のチャネル12を有するとすると、m個のチャネルを有する主サイリスタを2個のpチャネルMOSFET及び2個のnチャネルMOSFETによって制御する構造となっている。

m (チャネル)	1チャネル
(2m+1) k (μm)	3 k (μm)

【0048】最小線幅をk (μm)とした場合、図2に示した実施例2では3k (μm)で主サイリスタ1チャネルを形成しているのに対して、図4に示した実施例3では5k (μm)で主サイリスタ2チャネルを実現している。同様に図6に示した実施例5では、(2m+1)k (μm)でm (チャネル)を実現している。図1、図2のL値は3k (μm)であり、図4、図5のL値は5k (μm)である。同様に図6の値は(2m+1)k (μm)である。

【0049】実施例2の構造と実施例5の構造を比較すると、チャネル数/L値の比は

m (チャネル)	1チャネル
(2m+1) k (μm)	3 k (μm)

となる。mが多くなった場合、単位L値当たりの制御チャネル数が1/2kに収束するため有利のように見えるが、実際にはpゲート領域6の埋込み層内のゲート抵抗が存在するため適正なmの値が存在する。

【0050】図6においてpMOSチャネル領域7'はn同一導電型層7のMOSゲート界面近傍に形成される。またnMOSチャネル領域6'はpゲート層6のMOSゲート界面近傍に形成される。

【0051】(実施例6)図7は本発明による第6の実施例としての縦型構造のMOS制御サイリスタの模式的断面構成図を示す。図7の構造的特徴はカソード領域8をn<sup>+</sup>n<sup>+</sup>n<sup>+</sup>…構造として形成し、チャネル領域12に対向する部分にはn<sup>+</sup>領域を形成し、p<sup>+</sup>埋込みゲート層6に対向する部分に浅く形成されたn領域8''を配置する点にある。p<sup>+</sup>p<sup>+</sup>(or n<sup>+</sup>)p<sup>+</sup>…構造からなるpベース層6とn<sup>+</sup>n<sup>+</sup>n<sup>+</sup>…構造からなるnカソード領域8、8''との間のキャパシタンスの値を実質的に低減化する工夫がなされている。

【0052】本発明による縦型構造のMOS制御サイリ

スタにおいて、n形とp形の導電型を反対にして形成してもよいことはもちろんである。その場合にはnMOSFET、pMOSFETの役割も逆になり、pMOSFETがターン・オン用となり、n-MOSFETがターン・オフ用となる。

【0053】本発明による縦型構造のMOS制御サイリスタを実現するための製造プロセス技術としては従来のCMOS、DMOS、nMOS技術、或いはUMOS技術を適用することができることは明らかである。更に、埋込みゲートSIサイリスタ或いは埋込みゲートGTOのプロセス技術と組み合わせて適用することもできることは明らかである。

【0054】

【発明の効果】本発明による縦型構造のMOS制御サイリスタの構成によれば、従来の横型構造のMOS制御サイリスタに比べ縦型構造を有することから、単位セルを微細化して形成することが可能となり、例えば従来構造に比べて3/7≒43%に縮小形成することができ、集積化密度を向上することができる。その結果として、ターン・オン特性が改善され、オン電圧を低減化することができる。

【0055】更にチャネル構造を有する場合には、JFET効果もしくは静電誘導効果によってチャネル内を流れる電流を制御することができることから、更にターン・オン特性を改善することができる。特にターン・オン時間を短縮化でき、ターン・オン時のdi/dtを高くすることができる。即ち、ターン・オン時の電流の立上りの高いMOS制御サイリスタを得ることができる。このことが集積化密度の向上と加わってプレーナ構造に比べ更にターン・オン性能が改善される要因となっている。

【0056】本発明に開示した主サイリスタ部分については、上記の四層構造のサイリスタ或いはSCR構造もしくはGTO構造に限られることなく、埋込みゲートGTO、埋込みゲートSIサイリスタ、ダブルゲートSIサイリスタ、ダブルゲートGTO等であってもよい。更にアノード側にプレーナ構造或いは縦型構造のMOS制御構造を導入してもよいことも明らかである。

【0057】またnバツファ構造としても、或いは他の実施例において静電誘導(SI)バツファ構造を用いてもよい。

【0058】またアノード短絡構造、SI短絡構造を用いてもよい。

【0059】上記実施例において高抵抗層5はn<sup>+</sup>層としているが、これに限るものではなく、p<sup>+</sup>層、i層としてもよい。空乏層の広がる速度を考慮するとp、nの導電型が反対となった場合のnベース(ゲート)構造に対しては、高抵抗層5はp<sup>+</sup>層が望ましい。

【図面の簡単な説明】

【図1】本発明の第1の実施例としての縦型構造のMOS制御サイリスタの模式的断面構成図



13

14

【図2】本発明の第2の実施例としての縦型構造のMOS制御サイリスタの模式的断面構成図

【図3】第2の実施例の2次元的構成を明らかにするための斜視図

【図4】本発明の第3の実施例としての縦型構造のMOS制御サイリスタの模式的断面構成図

【図5】本発明の第4の実施例としての縦型構造のMOS制御サイリスタの模式的断面構成図

【図6】本発明の第5の実施例としての縦型構造のMOS制御サイリスタの模式的断面構成図

【図7】本発明の第6の実施例としての縦型構造のMOS制御サイリスタの模式的断面構成図

【図8】従来のMOS制御サイリスタの模式的断面構成図

【図9】従来のIGBTの模式的断面構成図

【符号の説明】

1 アノード電極

1' IGBTのpエミッタ電極

2 アノード領域

2' IGBTのpエミッタ領域

3 バッファ層 ( $n^+$ )

3' 静電誘導バッファ層 ( $n^+ n^+ n^+ n^+ \dots$ )

4 バッファ短絡層 ( $n^+$ )

5 高抵抗層 ( $n^+$ )

6 ゲート(ベース)領域 ( $p, p^+$ )

6' nMOSチャネル領域

7 同一導電型層

7' pMOSチャネル領域

8 カソード領域

10 S' IGBTのpコレクタ層

S'' 低不純物密度のカソード領域

9 カソード電極

9' IGBTのコレクタ電極

10 MOSゲート電極

11 反対導電型層

11' IGBTのnエミッタ層

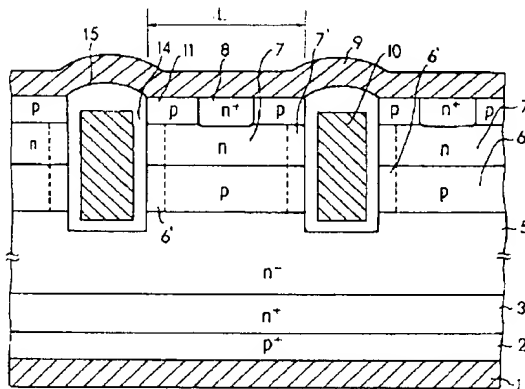
12 チャネル領域

14, 15 絶縁膜

16 低不純物密度のゲート(ベース)領域

20 17 IGBTのpベース層

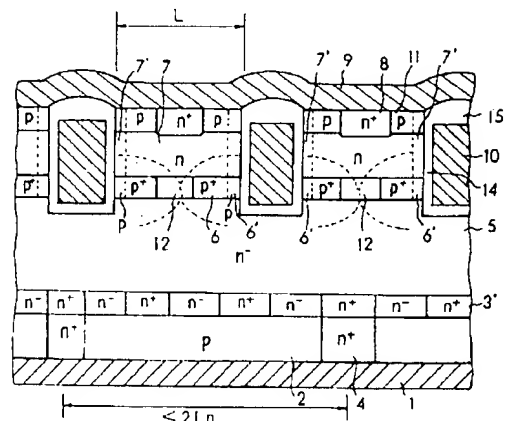
【図1】



本発明の第1の実施例としての縦型構造のMOS制御サイリスタの模式的断面構成図

- |                       |                 |
|-----------------------|-----------------|
| 1 ... アノード電極          | 8 ... カソード領域    |
| 2 ... アノード領域          | 9 ... カソード電極    |
| 3 ... バッファ層 ( $n^+$ ) | 10 ... MOSゲート電極 |
| 5 ... 高抵抗層 ( $n^+$ )  | 11 ... 反対導電型層   |
| 6 ... ゲート(ベース)領域      | 14, 15 ... 絶縁膜  |
| 6' ... nMOSチャネル領域     |                 |
| 7 ... 同一導電型層          |                 |
| 7' ... pMOSチャネル領域     |                 |

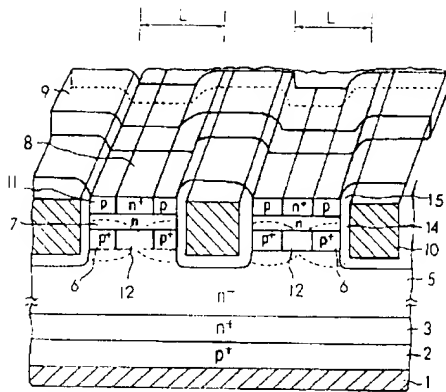
【図2】



本発明の第2の実施例としての縦型構造のMOS制御サイリスタの模式的断面構成図

- |  |                   |
|--|-------------------|
| 1 ... アノード電極                                 | 7 ... 同一導電型層      |
| 2 ... アノード領域                                 | 7' ... pMOSチャネル領域 |
| 3' ... 静電誘導バッファ層 ( $n^+ n^+ n^+ n^+ \dots$ ) | 8 ... カソード領域      |
| 4 ... バッファ短絡層 ( $n^+$ )                      | 9 ... カソード電極      |
| 5 ... 高抵抗層 ( $n^+$ )                         | 10 ... MOSゲート電極   |
| 6 ... ゲート(ベース)領域 ( $p, p^+$ )                | 11 ... 反対導電型層     |
| 6' ... nMOSチャネル領域                            | 12 ... チャネル領域     |
|  | 14 ... 絶縁膜        |
|  | 15 ...            |

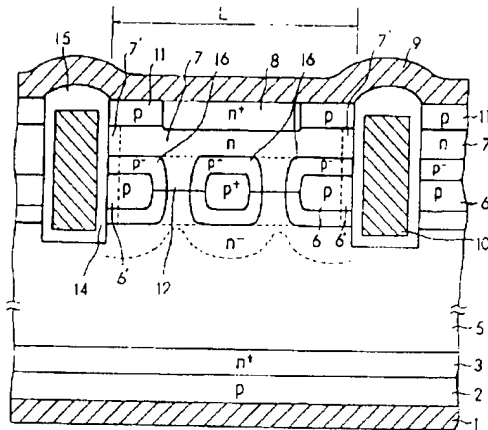
【図3】



第2の実施例の2次元構成を  
明らかにするための縦断面図

- |                             |               |
|-----------------------------|---------------|
| 1 … アノード電極                  | 9 … カソード電極    |
| 2 … アノード領域                  | 10 … MOSゲート電極 |
| 3 … バッファ層 ( $n^+$ )         | 11 … 反対導電型層   |
| 5 … 高抵抗層 ( $n^-$ )          | 12 … チャネル領域   |
| 6 … ゲート(ベース)領域 ( $p, p^+$ ) | 14 … 絶縁膜      |
| 7 … 同導電型層                   | 15 … *        |
| 8 … カソード領域                  |               |

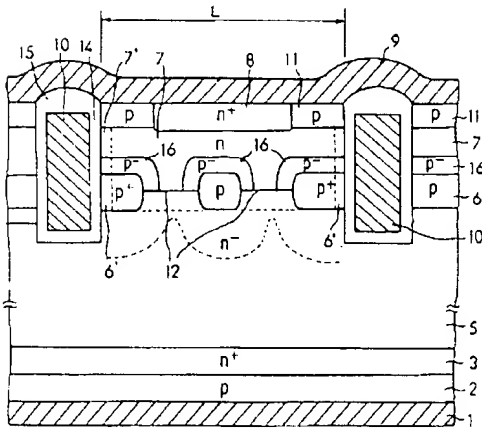
【図4】



本発明の第3の実施例としての縦型構造の  
MOS制御サイリスタの模式的断面構造図

- |                             |                       |
|-----------------------------|-----------------------|
| 1 … アノード電極                  | 8 … カソード領域            |
| 2 … アノード領域                  | 9 … カソード電極            |
| 3 … バッファ層 ( $n^+$ )         | 10 … MOSゲート電極         |
| 5 … 高抵抗層 ( $n^-$ )          | 11 … 反対導電型層           |
| 6 … ゲート(ベース)領域 ( $p, p^+$ ) | 12 … チャネル領域           |
| 6' … nMOSチャネル領域             | 14 … 絶縁膜              |
| 7 … 同導電型層                   | 15 … *                |
| 7' … pMOSチャネル領域             | 16 … 絶縁膜厚度のゲート(ベース)領域 |

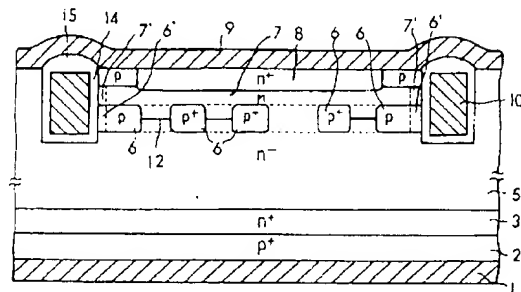
【図5】



本発明の第4の実施例としての縦型構造の  
MOS制御サイリスタの模式的断面構造図

- |                             |                       |
|-----------------------------|-----------------------|
| 1 … アノード電極                  | 8 … カソード領域            |
| 2 … アノード領域                  | 9 … カソード電極            |
| 3 … バッファ層 ( $n^+$ )         | 10 … MOSゲート電極         |
| 5 … 高抵抗層 ( $n^-$ )          | 11 … 反対導電型層           |
| 6 … ゲート(ベース)領域 ( $p, p^+$ ) | 12 … チャネル領域           |
| 6' … nMOSチャネル領域             | 14 … 絶縁膜              |
| 7 … 同導電型層                   | 15 … *                |
| 7' … pMOSチャネル領域             | 16 … 絶縁膜厚度のゲート(ベース)領域 |

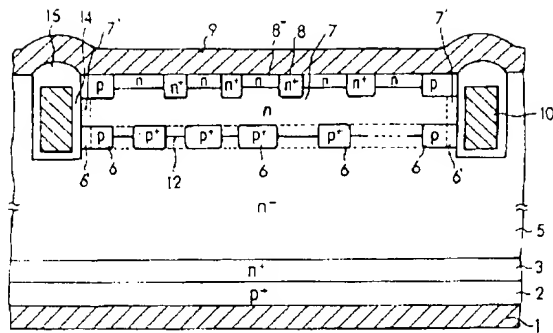
【図6】



本発明の第5の実施例としての縦型構造の  
MOS制御サイリスタの模式的断面構造図

- |                             |               |
|-----------------------------|---------------|
| 1 … アノード電極                  | 8 … カソード領域    |
| 2 … アノード領域                  | 9 … カソード電極    |
| 3 … バッファ層 ( $n^+$ )         | 10 … MOSゲート電極 |
| 5 … 高抵抗層 ( $n^-$ )          | 12 … チャネル領域   |
| 6 … ゲート(ベース)領域 ( $p, p^+$ ) | 14 … 絶縁膜      |
| 6' … nMOSチャネル領域             | 15 … *        |
| 7 … 同導電型層                   |               |
| 7' … pMOSチャネル領域             |               |

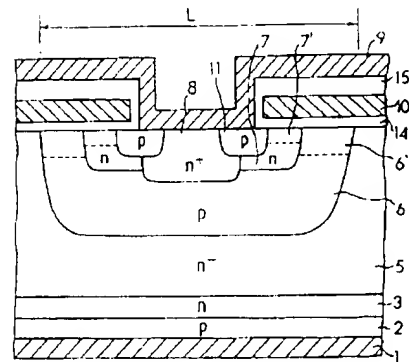
【図7】



本発明の第6の実施例としての縦型構造の  
MOS制御サイリスタの模式的断面構造図

- |   |   |
|---|---|
| 1 … アノード電極                                | 8 … ガート領域                               |
| 2 … アノード領域                                | 8' … 低不純物密度の $\text{p}^+\text{-n}^+$ 領域 |
| 3 … バッファ層 ( $\text{n}^+$ )                | 9 … カソード電極                              |
| 5 … 高抵抗層 ( $\text{n}^-$ )                 | 10 … MOSゲート電極                           |
| 6 … ゲート(ベース)領域 ( $\text{p}, \text{p}^+$ ) | 12 … チャンネル領域                            |
| 6' … nMOSチャネル領域                           | 14 … 絶縁膜                                |
| 7 … 両導電型層                                 | 15 … 絶縁膜                                |
| 7' … pMOSチャネル領域                           |   |

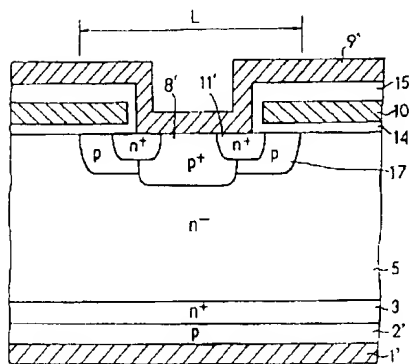
【図8】



従来のMOS制御サイリスタの模式的断面構造図

- |   |               |
|---|---------------|
| 1 … アノード電極                                | 8 … ガート領域     |
| 2 … アノード領域                                | 9 … カソード電極    |
| 3 … バッファ層 ( $\text{n}, \text{n}^+$ )      | 10 … MOSゲート電極 |
| 5 … 高抵抗層 ( $\text{n}^-$ )                 | 11 … 反対導電型層   |
| 6 … ゲート(ベース)領域 ( $\text{p}, \text{p}^+$ ) | 14, 15 … 絶縁膜  |
| 6' … nMOSチャネル領域                           |               |
| 7 … 両導電型層                                 |               |
| 7' … pMOSチャネル領域                           |               |

【図9】



従来のIGBTの模式的断面構造図

- |                                      |                   |
|--------------------------------------|-------------------|
| 1 … アノード電極                           | 8' … IGBTのpコレクタ層  |
| 2 … IGBTのpエミッタ領域                     | 9' … IGBTのコレクタ電極  |
| 3 … バッファ層 ( $\text{n}, \text{n}^+$ ) | 10 … MOSゲート電極     |
| 5 … 高抵抗層 ( $\text{n}^-$ )            | 11' … IGBTのnエミッタ層 |
|                                      | 14, 15 … 絶縁膜      |
|                                      | 17 … IGBTのpベース層   |

## 【手続補正書】

【提出日】平成4年6月24日

## 【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0008

【補正方法】変更

【補正内容】

【0008】そこで、このようなターン・オン特性の改善されたプレーナ構造のMOS制御サイリスタについては、村岡、玉蟲により特願平4-1141139号に記載されている通りである。

## 【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0009

【補正方法】変更

【補正内容】

【0009】しかるに、MOS制御サイリスタに比べ電流容量は劣るが同様に絶縁ゲート制御によって動作する電力用半導体素子であるIGBT(Insulated Gate Bipolar Transistor)は集積化密度の点で、MOS制御サイリスタに比べ優れている。図9はIGBTの模式的断面構造図である。1'はpエミッタ電極、8'はpコレクタ層、9'はIGBTのコレクタ電極、11'はIGBTのnエミッタ層、17はIGBTのpベース層である。他の3、5、10、14、15の各領域は図10と同様である。図8及び図9において、Lは単位セルの実質的な寸法幅を示している。MCT(図8)のLはIGBT(図9)のLに比べてpベース層6の拡散領域の幅分だけ大きな寸法として形成されることがわかる。このLの値は単位セルを実現するために必要な幅と考えることができる。微細化の寸法ルールを一定とした場合には図8のLの値は図9のL値に比べて、約 $7/5=1.4$ 倍も大きい。ターン・オン特性を改善するためのチャネル構造を有するプレーナ構造のMOS制御サイリスタ(特願平4-1141139号)においても事情は同じである。従って、従来のMOS制御サイリスタの単位セルを実現するために必要な幅を低減化し、集積化密度を向上させることが、更にターンオン特性を改善し、かつオン電圧を下げるためには望ましい。

## 【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0038

【補正方法】変更

【補正内容】

【0038】本発明の実施例1の寸法は上記一例に限られるものではなく、カソード領域8、pベース層6等の厚さも薄い方が望ましいことは微細化、短チャネル化を実現する上で明らかである。pベース層6の厚さ及び不純物密度は主サイリスタの性能を決める重要なパラメータであり、特にターン・オンの性能を決定する重要なパ

ラメータである。pベース層6内の不純物密度分布は均一に形成されても、或いはドリフトベースの如く形成されていてもよい。図1の実施例の構造は、図8の従来型MOS制御サイリスタに比べ単位セルを約43%の領域に形成でき、集積化密度が向上している。従って、オン電圧が低減化される構造である。

## 【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0041

【補正方法】変更

【補正内容】

【0041】更に図2の構造上、バツファ層として静電誘導バツファ層( $n^+n^-n^+\dots$ )を設けている。静電誘導バツファ層については村岡、玉蟲による特願平4-114140号に開示されている通りである。領域4はバツファ短絡層であり、約 $2L_n$ ( $L_n$ は電子拡散長)以下のピッチにてアノード領域2と短絡している。

## 【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0045

【補正方法】変更

【補正内容】

【0045】(実施例3)図4は本発明の第3の実施例としての縦型構造のMOS制御サイリスタの模式的断面構造図である。実施例2(図2)の構造に比べてLの値は約 $5/3 \approx 1.7$ 倍であるが、従来型MOS制御サイリスタに比べれば $5/7 \approx 70\%$ に改善されている。構造的特徴は、チャネル領域12を2チャネル設定して実質的に単位チャネル当りの電流値を増加する工夫を行なうとともに、 $n^+$ カソード領域8の幅を広げてpベース層( $p^+p^-p^+p^-\dots$ )とn反対導電型層7を介して接する面積を実質的に広げている点にある。このような構造を実現するために、具体的にはpベース層6を $p^+$ ゲート6の埋め込み層によって代替して形成している。即ち、ゲート領域6は $p^+$ 埋め込み層、p埋め込み層によって形成し、これらの埋め込み層の周辺には比較的低不純物密度のゲート領域16'を形成して電界緩和層を施している。これらの埋め込み層はメツシユもしくはラダー状もしくはストライプ状等に形成され電気的には共通になされている。埋込みゲートSIサイリスタのプロセスとUMOS、DMOS、CMOS、等のプロセス技術を組み合わせることによって図4の構造は実現できる。チャネル領域12はpベース層もしくはpゲート領域6によって実質的に空乏化されていることも実施例2と同様である。

## 【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0046

【補正方法】変更

【補正内容】

【0046】(実施例4)図5は本発明の第4の実施例としての縦型構造のMOS制御サイリスタの模式的断面構造図である。図5の構造的特徴は中央の埋込みゲート領域を中程度の不純物密度として形成し、両側の埋込みゲート領域6を高不純物密度に形成している点と、電界緩和のための $p^+$ 層16'をpチャネルMOSFET側にのみ設けている点にある。 $p^+$ 埋込みゲート領域6のMOS界面近傍にはnチャネル領域6'が形成され、n同一導電型層7のMOS界面近傍にはpチャネル領域7'が形成される。中央の埋込み層を中程度の不純物密度とすることによって、オン状態における正孔電流の導通領域を広げる工夫を行なっている。

【手続補正7】

【補正対象書類名】明細書

【補正対象項目名】符号の説明

【補正方法】変更

【補正内容】

【符号の説明】

- 1 アノード電極
- 1' IGBTのpエミッタ電極
- 2 アノード領域
- 2' IGBTのpエミッタ領域
- 3 バツファ層( $n^+$ )
- 3' 静電誘導バツファ層( $n^+ n^+ n^+ n^+ \dots$ )
- 4 バツファ短絡層( $n^+$ )
- 5 高抵抗層( $n^-$ )
- 6 ゲート(ベース)領域( $p, p^+$ )
- 6' nMOSチャネル領域
- 7 同一導電型層
- 7' pMOSチャネル領域
- 8 カソード領域
- 8' IGBTのpコレクタ層
- 8'' 低不純物密度のカソード領域
- 9 カソード電極
- 9' IGBTのコレクタ電極
- 10 MOSゲート電極
- 11 反対導電型層
- 11' IGBTのnエミッタ層
- 12 チャネル領域
- 14, 15 絶縁膜
- 16' 低不純物密度のゲート(ベース)領域
- 17 IGBTのpベース層

【手続補正8】

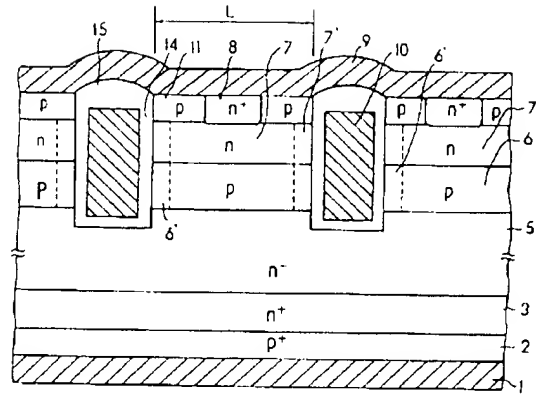
【補正対象書類名】図面

【補正対象項目名】図1

【補正方法】変更

【補正内容】

【図1】



本発明の第1の実施例としての縦型構造のMOS制御サイリスタの模式的断面構造図

- 1 ... アノード電極
- 2 ... アノード領域
- 3 ... バツファ層( $n^+$ )
- 5 ... 高抵抗層( $n^-$ )
- 6 ... ゲート(ベース)領域
- 6' ... nMOSチャネル領域
- 7 ... 同一導電型層
- 7' ... pMOSチャネル領域
- 8 ... カソード領域
- 9 ... カソード電極
- 10 ... MOSゲート電極
- 11 ... 反対導電型層
- 14, 15 ... 絶縁膜

【手続補正9】

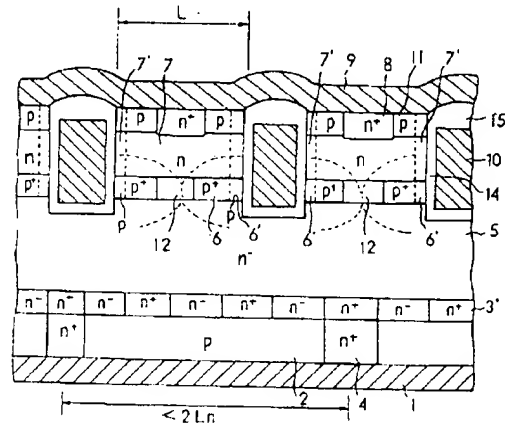
【補正対象書類名】図面

【補正対象項目名】図2

【補正方法】変更

【補正内容】

【図2】



本発明の第2の実施例としての縦型構造のMOS制御サイリスタの模式的断面構造図

- 1 ... アノード電極
- 2 ... アノード領域
- 3' ... 静電誘導バツファ層( $n^+ n^+ n^+ n^+ \dots$ )
- 4 ... バツファ短絡層( $n^+$ )
- 5 ... 高抵抗層( $n^-$ )
- 6 ... ゲート(ベース)領域( $p, p^+$ )
- 6' ... nMOSチャネル領域
- 7 ... 同一導電型層
- 7' ... pMOSチャネル領域
- 8 ... カソード領域
- 9 ... カソード電極
- 10 ... MOSゲート電極
- 11 ... 反対導電型層
- 12 ... チャネル領域
- 14 ... 絶縁膜
- 15 ...

【手続補正10】

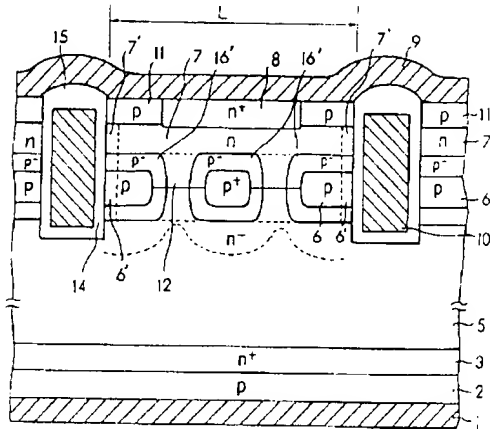
【補正対象書類名】図面

【補正対象項目名】図4

【補正方法】変更

【補正内容】

【図4】



本発明の第3の実施例としての縦型構造の  
MOS制御サイリスタの模式的断面構造図

- |                                     |                         |
|-------------------------------------|-------------------------|
| 1 … アノード電極                          | 6 … カソード領域              |
| 2 … アノード領域                          | 9 … カソード電極              |
| 3 … バッファ層 (n <sup>+</sup> )         | 10 … MOSゲート電極           |
| 5 … 高抵抗層 (n <sup>-</sup> )          | 11 … 反対導電型層             |
| 6 … ゲート(ベース)領域 (p, p <sup>+</sup> ) | 12 … チャンネル領域            |
| 6' … nMOSチャネル領域                     | 14 … 絶縁膜                |
| 7 … pMOSチャネル領域                      | 15 …                    |
| 7' … pMOSチャネル領域                     | 15' … 低不純物密度のゲート(ベース)領域 |

【手続補正11】

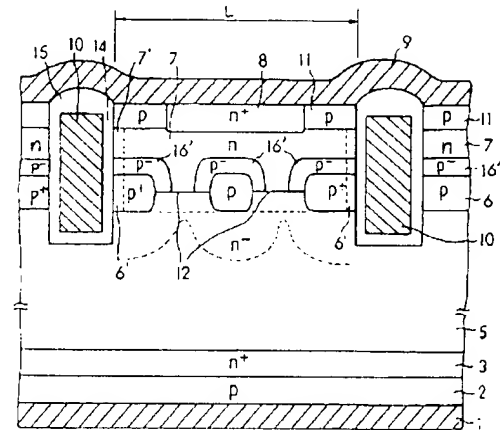
【補正対象書類名】図面

【補正対象項目名】図5

【補正方法】変更

【補正内容】

【図5】



本発明の第4の実施例としての縦型構造の  
MOS制御サイリスタの模式的断面構造図

- |                                     |                         |
|-------------------------------------|-------------------------|
| 1 … アノード電極                          | 8 … カソード領域              |
| 2 … アノード領域                          | 9 … カソード電極              |
| 3 … バッファ層 (n <sup>+</sup> )         | 10 … MOSゲート電極           |
| 5 … 高抵抗層 (n <sup>-</sup> )          | 11 … 反対導電型層             |
| 6 … ゲート(ベース)領域 (p, p <sup>+</sup> ) | 12 … チャンネル領域            |
| 6' … nMOSチャネル領域                     | 14 … 絶縁膜                |
| 7 … pMOSチャネル領域                      | 15 …                    |
| 7' … pMOSチャネル領域                     | 16' … 低不純物密度のゲート(ベース)領域 |